Perférico SSP

Para la comunicación SPI con el módulo transceptor nRF24l01 se necesitó hacer uso del periférico SSP1 del LPC1769. Si bien el microcontrolador cuenta con un módulo llamado SPI dedicado exclusivamente a la comunicación con ese protocolo, no fue posible implementarlo con el Kit Infotronic ya que los pines de salida requeridos estaban siendo usados por otro módulo (en este caso por la UART1 para la comunicación asincrónica), entonces se optó por usar el módulo SSP[[1]](#footnote-1) que se describe a continuación.

El periférico SSP (*Synchronous Serial Port*) es un controlador capaz de operar comunicaciones en distintos protocolos, entre los que se encuentra el SPI.[[2]](#footnote-2)

Las características más relevantes de este periférico son:

* Modo Master, Slave o Loop Back, con pines dedicados (MISO, MOSI, SSEL y SCK).
* Tramas de datos de 4 a 16 bits.
* 4 Fuentes de interrupción.
* Soporte para DMA.
* FIFOs de transmisión y de recepción con capacidad de 8 tramas.

# Registros

A continuación se presentan los registros configurables para los periféricos SSP0 y SSP1:

* **CR0** - Control Register 0

Permite configurar el tipo de trama (SPI), la velocidad del clock, el tamaño de la trama y los bits de configuración del clock CPOL y CPHA.

* **CR1** - Control Register 1

Selecciona los modos de operación y permite habilitar o deshabilitar el periférico.

* **DR** – Data Register

Registro que actúa de intermediario entre los FIFOs de entrada y salida. Los datos a enviar o recibir se escriben o se leen de este registro.

* **SR** – Status Register

Contiene flags que informan sobre el estado actual del módulo

* **CPSR** – Clock Prescale Register

Divisor para configurar la tasa de bits por segundo.

* **IMSC** – Interrupt Mask Set/Clear Register

Registro que permite habilitar las posibles causas de interrupción

* **RIS** – Raw Interrupt Status Register

Registro de sólo lectura que permite visualizar en el momento de la interrupción cuáles fueron las causas posibles (estén o no habilitadas la interrupciones para esos eventos).

* **MIS**

Registro de sólo lectura que permite visualizar en el momento de la interrupción cuáles fueron las causas posibles (habiendo sido habilitadas).

* **ICR**

Registro que permite borrar los flags correspondientes a la interrupción.

* **DMACR**

Registro para configuración de acceso directo a memoria.

Para esta aplicación no se hará uso de la característica de DMA y se trabajará con una trama de 8 bits de datos. La estrategia de programación para el envío y la recepción es muy similar a la implementada en la comunicación asincrónica usada con la UART a través de primitivas y drivers que operan sobre búferes de entrada y de salida. Se usarán interrupciones por lo que también se desarrollará la rutina correspondiente que las atienda.

1. El manual de usuario remarca que el módulo SPI está pensado como periférico heredado, y que se pretende se use el SSP como alternativa. [↑](#footnote-ref-1)
2. Ver anexo: Protocolo de Comunicación SPI. [↑](#footnote-ref-2)